

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-066742

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

G05F 1/56

(21)Application number : 10-235823

(71)Applicant : TOKO INC

(22)Date of filing : 21.08.1998

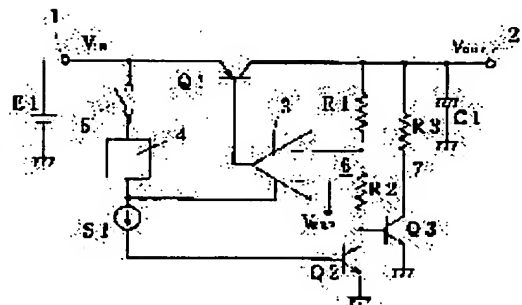
(72)Inventor : HOSONO MICHIOYA  
KITANI YUKINORI

## (54) SERIAL CONTROL TYPE REGULATOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a serial control type regulator capable of quickly lowering an output voltage without being affected by the weight of a load at the time of setting the operation of a first transistor for controlling the output voltage to a stop state.

**SOLUTION:** When a switch circuit 4 sets the first transistor Q1 from an operation state to the stop state, a discharge circuit 7 parallelly connected to an output capacitor C1 is simultaneously operated and the electric charge of the output capacitor C1 is discharged. Thus, the output voltage VOUT is promptly lowered. The discharge circuit 7 is operated by turning on a third transistor Q3 and the third transistor Q3 is turned on by using a current flowing through the voltage dividing resistors R1 and R2 of the output voltage VOUT of a detection circuit 7. That is, the voltage dividing resistors R1 and R2 of the output voltage VOUT in the detection circuit 7 are used also as resistors for setting the base current of the third transistor Q3.



## LEGAL STATUS

[Date of request for examination] 28.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3315934

[Date of registration] 07.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**Japanese Patent Publication Laid-Open No. 2000-66742**

**[Claim(s)]**

[Claim 1] The electrical potential difference corresponding to the output voltage of the 1st transistor which controls output voltage, the detector of output voltage, and a detector is compared with reference voltage. While setting up the discharge circuit of this capacitor that carries out parallel connection to the error amplifying circuit where an output is applied to the 1st transistor, an output capacitor, and an output capacitor, the operating state of the 1st transistor, or a idle state of operation It has the switching circuit which operates a discharge circuit at the time of a setup to a idle state from operating state. A detector carries out series connection of the 2nd transistor to partial pressure resistance of output voltage, and is formed. A discharge circuit is formed among the both ends of an output capacitor at least from the 3rd transistor by which parallel connection was carried out. A switching circuit intercepts a detector with the 2nd transistor at the time of a setup to a idle state from the operating state of the 1st transistor. The serial control mold regulator characterized by operating this discharge circuit by turning on the 3rd transistor using the current which flows to partial pressure resistance of this detector.

[Claim 2] Partial pressure resistance of the output voltage of a detector is the serial control mold regulator of claim 1 which serves as the role of the resistance which sets up the base current of the 3rd transistor of a discharge circuit.

**[Detailed Description of the Invention]**

[0001]

[Field of the Invention] This invention relates to the serial control mold regulator which can lower output voltage quickly, when actuation of the transistor which controls output voltage is suspended.

[0002]

[Description of the Prior Art] Drawing 6 is the circuit diagram of the conventional serial control mold regulator. Between the input terminal 1 and the output terminal 2, series connection of the 1st transistor Q1 was carried out, and the detector 10 of the output voltage VOUT which consists of resistance R1 and R2 by which series connection was carried out has connected between an output terminal 2 and a ground. Output voltage VOUT which pressured partially by resistance R1 and R2, and was detected in the detector 10 A corresponding electrical potential difference is compared with reference voltage VREF in the error amplifying circuit 3, and the base current of a transistor Q1 is controlled by the output of the error amplifying circuit 3. And a transistor Q1 is

output voltage VOUT by change of an impedance. It controls and is the predetermined output voltage VOUT. It is obtained by the output terminal 2.

[0003] For the output capacitor C1 connected with an output terminal 2 between grounds, the noise from the rapid fluctuation and regulator side of a load and a load side is output voltage VOUT. It is the mass capacitor formed in order to prevent influencing. A switching circuit 4 sets up the operating state of a transistor Q1, or a idle state of operation through the error amplifying circuit 3 with the switch 5 operated from the outside. Output voltage VOUT predetermined [ from the input voltage VIN of an input terminal 1 ] with the operating state of the transistor Q1 which the switch 5 turns on to an output terminal 2 It is obtained as it described above. Output voltage VOUT of a regulator When there is the need of cutting output voltage VOUT on account of the circuit supplied, actuation of a transistor Q1 is promptly made into a idle state by turning off a switch 5.

[0004] This idle state is set up by carrying out intercepting the bias current of the error amplifying circuit 3 by the switching circuit 4 etc., suspending actuation of the error amplifying circuit 3, and turning off a transistor Q1, and that technique is indicated by Japanese Patent Application No. No. 86119 [ seven to ] by the same artificer. In addition, as for the main switch which connects a dc source E1 to an input terminal 1, illustration is omitted although the input voltage VIN of an input terminal 1 is supplied from a dc source E1. Although such a regulator is used as various circuits or a power source of electronic equipment, use in this field is recently prosperous with development of a digital-communication machine. Transmission and reception are performed repeatedly at high speed in many cases, it stands with starting with the rapid output voltage VOUT of the regulator used as a power source, and this field requires lowering. Although many techniques are well-known in [ starting ] comparison, there is no technique which should be satisfied about lowering by standing at high speed.

[0005] Also in the circuit of drawing 6 , when setting actuation of a transistor Q1 as a idle state and lowering output voltage VOUT, if it is heavy loading, although output voltage VOUT falls quickly, it will become late with a light load as compared with the case of heavy loading. The charging time value of the output capacitor C1 depends this on becoming short and becoming long in a light load by heavy loading. The falling time amount of output voltage VOUT is late, for example, when a sending circuit operates still working [ the receiving circuit where a regulator is connected ], the accident which a receiving circuit damages by the howling also occurs.

[0006]

[Problem(s) to be Solved by the Invention] The technical problem of this invention is to

offer the serial control mold regulator which can lower output voltage quickly, without being influenced by the weight of a load when actuation of the transistor which controls output voltage is set as a idle state.

[0007]

[Means for Solving the Problem] The 1st transistor by which the inverter circuit of this invention controls output voltage, The electrical potential difference corresponding to the output voltage of the detector of output voltage and a detector is compared with reference voltage. While setting up the discharge circuit of this capacitor that carries out parallel connection to the error amplifying circuit where an output is applied to the 1st transistor, an output capacitor, and an output capacitor, the operating state of the 1st transistor, or a idle state of operation It has the switching circuit which operates a discharge circuit at the time of the shift to a idle state from operating state. A detector carries out series connection of the 2nd transistor to partial pressure resistance of output voltage, and is formed. A discharge circuit is formed among the both ends of an output capacitor at least from the 3rd transistor to which the principal current way was connected. A switching circuit intercepts a detector with the 2nd transistor at the time of the shift to a idle state from the operating state of the 1st transistor, and it is characterized by operating this discharge circuit by turning on the 3rd transistor using the current which flows to partial pressure resistance of this detector.

[0008]

[Embodiment of the Invention] When a switching circuit sets the 1st transistor as a idle state from operating state, the inverter circuit of this invention operates the discharge circuit which carries out parallel connection to an output capacitor at coincidence, and discharges the charge of an output capacitor. By this, output voltage can be lowered promptly. Although it operates when a discharge circuit turns on the 3rd transistor, the 3rd transistor is turned on using the current which flows partial pressure resistance of the output voltage of a detector. That is, partial pressure resistance of the output voltage in a detector is made to serve a double purpose as resistance which sets up the base current of the 3rd transistor. Since it is not necessary to prepare the new resistance of a big value which sets up base current by this, area of the integrated circuit which forms a regulator can be made small. Moreover, since a setup of output voltage is performed by resistance of a detector, even if the value of output voltage changes, base current is fixed and the charging time value by the discharge circuit also has the advantage which does not change with the value of output voltage.

[0009]

[Example] It explains referring to the circuit diagram of drawing 1 showing the example

of the serial control mold regulator of this invention hereafter. In addition, the same part as drawing 5 has given the same sign. In drawing 1, series connection of the 1st transistor Q1 of the PNP form which controls output voltage VOUT is carried out between the input terminal 1 and the output terminal 2. The dc source E1 of a cell etc. connects with an input terminal 1, and input voltage VIN is supplied. The end of the output capacitor C1 is connected to the output terminal 2, and the other end is grounded. The discharge circuit 7 which consists of the 3rd transistor Q3 of resistance R3 and an NPN form is carrying out parallel connection to the output capacitor C1. The end of resistance R3 is connected to an output terminal 2, and the emitter of a transistor Q3 is grounded.

[0010] The detector 6 of output voltage VOUT is formed from the resistance R1 by which the series connection was carried out, resistance R2, and the 2nd transistor Q2 of an NPN form, and the end of resistance R2 and the resistance R1 to connect connects it to an output terminal 2. The collector of a transistor Q2 is connected to resistance R2, and an emitter is grounded. Moreover, the node of the collector of resistance R2 and a transistor Q2 is connected to the base of the transistor Q3 of the discharge circuit 7. An inversed input terminal connects the error amplifying circuit 3 at the node of the resistance R1 of a detector 6, and resistance R2, and reference voltage VREF is supplied to a non-inversed input terminal. And the base current of a transistor Q1 is controlled by the output of the error amplifying circuit 3. It connects with an input terminal 1 through the switch 5 operated from the outside, and a switching circuit 4 is connected to the base of the transistor Q2 of a detector 6, and a pan through a constant current source S1 in the error amplifying circuit 3, respectively.

[0011] Thus, actuation of the constituted serial control mold regulator is explained below. ON of a switch 5 adds the signal from a switching circuit 4 to the error amplifying circuit 3 and a constant current source S1. The current from a constant current source S1 is supplied to the transistor Q2 of a detector 6, and this transistor Q2 is turned on. When a detector 6 operates since a transistor Q2 turns on, and the error amplifying circuit 3 operates, a transistor Q1 is set as operating state. Control of the output voltage VOUT in operating state is the same as that of the case of the former of drawing 5, and will not require explanation. If the signal from a switching circuit 4 is lost when a switch 5 turns off, the base current from a constant current source S1 of a transistor Q2 will be lost, it will turn off, and a detector 6 will be intercepted. Moreover, since actuation of the error amplifying circuit 3 stops and it stops producing an output, a transistor Q1 is turned off completely and set as a idle state of operation.

[0012] In operating state, although the current is flowing to the resistance R1 and R2 of

a detector 6, and a transistor Q2, since the current which flows resistance R1 and R2 will turn into base current of a transistor Q3 and it will flow if a transistor Q2 turns off, a transistor Q3 turns on, and the discharge circuit 7 operates. The charge of the output capacitor C1 flows as the discharge current in the discharge circuit 7 by this. The base current of a transistor Q3 is set up by resistance R1 and resistance R2 of a detector 6. And base current is fixed even if output voltage VOUT is set as another value by changing the value of resistance R1.

[0013] For this, the electrical potential difference of the node of resistance R1 and resistance R2 is reference voltage VREF. It is the same value and is because it always does not change. for example, reference voltage -- the value of 1.25V, resistance R1, and resistance R2 -- respectively -- 100 -- although the output voltage VOUT of 5V is obtained, respectively when it is K ohm, and resistance R1 is 2.5V and resistance R2 is 300Kohm in 100Kohm -- base current -- each -- 12.5microA it is . Therefore, the discharge property of the discharge circuit 7 can be fixed, without being influenced of output voltage VOUT. Dispersion in the current amplification factor of a transistor Q3 is established so that the collector current may not be influenced, and the resistance R3 of the discharge circuit 7 may be removed when effect is small.

[0014] Drawing 2 is the discharge property Fig. of the regulator of drawing 1 , time amount t is shown on an axis of abscissa, and output voltage VOUT is shown on the axis of ordinate. Output voltage VOUT which actuation of a transistor Q1 stopped at time of day t1, and suited the predetermined value just before that It turns out that it falls quickly after time of day t1. Although output voltage VOUT does not fall from the electrical potential difference VBE between base emitters of a transistor Q3, if it falls to this level in order not to operate the circuit used as a load, it will be enough and will not have especially a problem. In addition, the dotted line has shown for the comparison of the property of the conventional circuit of drawing 5 .

[0015] Drawing 3 is the circuit diagram showing other examples of the serial control mold regulator of this invention. It differs in that the discharge circuit 7 is formed as compared with drawing 1 of three transistors, the 3rd transistor Q3, the 4th transistor Q4, and the 5th transistor Q5. The base of the transistor Q4 of an NPN form connects at the resistance R2 of a detector 6, and the node of a transistor Q2, a collector is connected to the base of the transistor Q5 of an PNP form, and an emitter is grounded. The emitter of a transistor Q5 was connected to the input terminal 1, and the collector is connected to the base of a transistor Q3. By connecting the collector of a transistor Q3 to an output terminal 2 through resistance R3, and grounding an emitter, parallel connection is carried out to the output capacitor C1.

[0016] Also in this circuit, if a transistor Q1 will be in a idle state, since supply of the base current from a constant current source S1 to a transistor Q2 will be lost by the switching circuit 4, a transistor Q2 is turned off and a detector 6 is intercepted. The current which flows to resistance R1 and R2 turns into base current of a transistor Q4, and this base current is amplified by two steps with a transistor Q4 and a transistor Q5, and turns into base current of a transistor Q3. And the charge of the output capacitor C1 discharges with a transistor Q3. Also in drawing 3 , the base current of a transistor Q3 is indirectly set up according to the current which flows to resistance R1 and R2.

[0017] Drawing 4 is the circuit diagram showing another example of a serial control mold regulator. It differs from drawing 1 that the 2nd transistor Q2 of a detector 6 and the 3rd transistor Q3 of the discharge circuit 7 are all PNP forms. If the base current of the transistor Q2 by the constant current source S1 is stopped by the switching circuit 4, a transistor Q2 will be turned off and a detector 6 will be intercepted. The base current turns on the resistance R1 and R2 of a detector 6 by flowing, and a transistor Q3 discharges the output capacitor C1. Drawing 5 is the circuit diagram showing still more nearly another example, and the negative output voltage VOUT is obtained. Everything but using the 1st transistor Q1 of an NPN form is the same as the circuit diagram of drawing 4 .

[0018]

[Effect of the Invention] When a switching circuit sets the 1st transistor as a idle state from operating state, the serial control mold regulator of this invention operates the discharge circuit which carries out parallel connection to an output capacitor at coincidence, and makes the charge of an output capacitor discharge, as stated above. By this, output voltage can be promptly lowered regardless of the gravity of a load. Although it operates when a discharge circuit turns on the 3rd transistor, the 3rd transistor turns on partial pressure resistance of the detector of output voltage using the flowing current. That is, partial pressure resistance of the output voltage in a detector is made to serve a double purpose as resistance which sets up the base current of the 3rd transistor. Since it is not necessary to prepare the new resistance of a big value which sets up base current by this, area of the integrated circuit which forms a regulator can be made small. Moreover, since a setup of output voltage is performed by resistance of a detector, even if the value of output voltage changes, base current is fixed and the charging time value by the discharge circuit also has the advantage which does not change with the value of output voltage.

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the example of the serial control mold



regulator of this invention.

[Drawing 2] It is the discharge property Fig. of the serial control mold regulator of drawing 1 .

[Drawing 3] It is the circuit diagram of other examples of the serial control mold regulator of this invention.

[Drawing 4] It is the circuit diagram showing another example of the serial control mold regulator of this invention.

[Drawing 5] It is the circuit diagram showing still more nearly another example of the serial control mold regulator of this invention.

[Drawing 6] It is the circuit diagram showing the conventional serial control mold regulator.

[Description of Notations]

1 Input Terminal

2 Output Terminal

4 Switching Circuit

6 Detector

7 Discharge Circuit

C1 Output capacitor

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-66742

(P2000-66742A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl.<sup>7</sup>

G 0 5 F 1/56

識別記号

3 1 0

F I

G 0 5 F 1/56

テマコード (参考)

3 1 0 A 5 H 4 3 0

3 1 0 D

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平10-235823

(22) 出願日

平成10年8月21日 (1998.8.21)

(71) 出願人 000003089

東光株式会社

東京都大田区東雪谷2丁目1番17号

(72) 発明者 細野 倫也

埼玉県鶴ヶ島市大字五味ヶ谷18番地 東光

株式会社埼玉事業所内

(72) 発明者 木谷 幸典

埼玉県鶴ヶ島市大字五味ヶ谷18番地 東光

株式会社埼玉事業所内

(74) 代理人 100073737

弁理士 大田 優

Fターム (参考) 5H430 B809 EE03 FF03 FF04 FF13

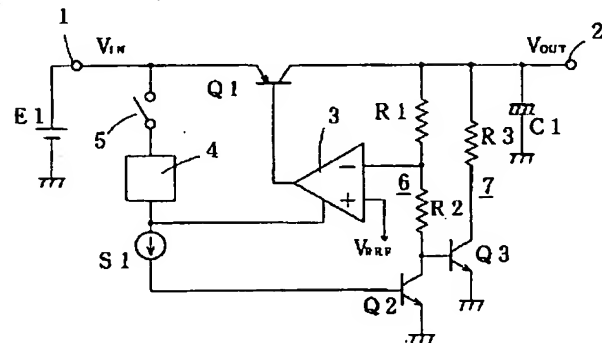
GG01 HH03 KK13 KK16 LB06

(54) 【発明の名称】 直列制御型レギュレータ

(57) 【要約】

【課題】 出力電圧を制御する第1のトランジスタの動作を停止状態に設定した時に負荷の重さに影響されことなく出力電圧を急速に下げることのできる直列制御型レギュレータを提供することにある。

【解決手段】 スイッチ回路4が第1のトランジスタQ1を動作状態から停止状態に設定する時に、同時に出力コンデンサC1と並列接続する放電回路7を動作させて出力コンデンサC1の電荷を放電する。このことにより、出力電圧 $V_{out}$ を速やかに下げることができる。放電回路7は第3のトランジスタQ3をオンすることにより動作するが、第3のトランジスタQ3は検出回路7の出力電圧 $V_{out}$ の分圧抵抗R1、R2を流れる電流を用いてオンされる。つまり、検出回路7における出力電圧 $V_{out}$ の分圧抵抗R1、R2を第3のトランジスタQ3のベース電流を設定する抵抗として兼用する。



## 【特許請求の範囲】

【請求項1】 出力電圧を制御する第1のトランジスタ、出力電圧の検出回路、検出回路の出力電圧に対応する電圧を基準電圧と比較し、出力が第1のトランジスタに加えられる誤差増幅回路、出力コンデンサ、出力コンデンサに並列接続する該コンデンサの放電回路、第1のトランジスタの動作状態又は動作の停止状態を設定すると共に、動作状態から停止状態への設定時に放電回路を動作させるスイッチ回路を有しており、検出回路は出力電圧の分圧抵抗と第2のトランジスタを直列接続して形成され、放電回路は少なくとも出力コンデンサの両端間に並列接続された第3のトランジスタから形成され、スイッチ回路は第1のトランジスタの動作状態から停止状態への設定時に第2のトランジスタにより検出回路を遮断し、該検出回路の分圧抵抗に流れる電流を用いて第3のトランジスタをオンすることにより該放電回路を動作させることを特徴とする直列制御型レギュレータ。

【請求項2】 検出回路の出力電圧の分圧抵抗は、放電回路の第3のトランジスタのベース電流を設定する抵抗の役割を兼ねる請求項1の直列制御型レギュレータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、出力電圧を制御するトランジスタの動作を停止した時に、出力電圧を急速に下げることのできる直列制御型レギュレータに関する。

## 【0002】

【従来の技術】図6は従来の直列制御型レギュレータの回路図である。入力端子1と出力端子2間には第1のトランジスタQ1が直列接続され、出力端子2とアース間には直列接続された抵抗R1、R2からなる出力電圧 $V_{out}$ の検出回路10が接続している。検出回路10で抵抗R1、R2により分圧して検出された出力電圧 $V_{out}$ に対応する電圧は、誤差増幅回路3で基準電圧 $V_{ref}$ と比較され、誤差増幅回路3の出力によりトランジスタQ1のベース電流が制御される。そして、トランジスタQ1はインピーダンスの変化により出力電圧 $V_{out}$ を制御し、所定の出力電圧 $V_{out}$ が出力端子2に得られる。

【0003】出力端子2とアース間に接続される出力コンデンサC1は、負荷の急激な変動とレギュレータ側および負荷側からのノイズが出力電圧 $V_{out}$ に影響することを防ぐために設けられる大容量のコンデンサである。スイッチ回路4は、外部から操作されるスイッチ5により誤差増幅回路3を介してトランジスタQ1の動作状態又は動作の停止状態を設定する。スイッチ5がオンしているトランジスタQ1の動作状態では、出力端子2には入力端子1の入力電圧 $V_{in}$ から所定の出力電圧 $V_{out}$ が前記したようにして得られる。レギュレータの出力電圧 $V_{out}$ が供給される回路の都合により出力電圧 $V_{out}$ を切る必要のある場合には、スイッチ5をオフすることに

よりトランジスタQ1の動作を速やかに停止状態にする。

【0004】この停止状態は、スイッチ回路4により誤差増幅回路3のバイアス電流を遮断する等して誤差増幅回路3の動作を停止してトランジスタQ1をオフすることにより設定され、その手法は例えば同じ発明者による特願平7-86119号にも開示されている。なお、入力端子1の入力電圧 $V_{in}$ は直流源E1から供給されるが、直流源E1を入力端子1に接続するメインスイッチは図示が省略されている。このようなレギュレータは種々の回路や電子機器の電源として用いられるが、近時デジタル通信機の発達とともにこの分野への利用が盛んである。この分野では、送信と受信が高速で繰り返して行われる場合が多く、電源となるレギュレータの出力電圧 $V_{out}$ の急速な立ち上げと立ち下げが要求される。立ち下げについては比較的多くの技術が公知であるが、立ち下げを高速で行うことについては満足すべき技術はない。

【0005】図6の回路においても、トランジスタQ1の動作を停止状態に設定して出力電圧 $V_{out}$ を下げる場合、重負荷であれば出力電圧 $V_{out}$ は急速に下がるが、軽負荷では重負荷の場合に比較して遅くなる。これは、出力コンデンサC1の放電時間が重負荷では短くなり、軽負荷では長くなることによる。出力電圧 $V_{out}$ の立ち下がり時間が遅く、例えばレギュレータの接続される受信回路が未だ動作中に送信回路が動作するような場合には受信回路がハウリングにより破損する事故も発生する。

## 【0006】

【発明が解決しようとする課題】本発明の課題は、出力電圧を制御するトランジスタの動作を停止状態に設定した時に負荷の重さに影響されことなく出力電圧を急速に下げることのできる直列制御型レギュレータを提供することにある。

## 【0007】

【課題を解決するための手段】本発明のインバータ回路は、出力電圧を制御する第1のトランジスタ、出力電圧の検出回路、検出回路の出力電圧に対応する電圧を基準電圧と比較し、出力が第1のトランジスタに加えられる誤差増幅回路、出力コンデンサ、出力コンデンサに並列接続する該コンデンサの放電回路、第1のトランジスタの動作状態又は動作の停止状態を設定すると共に、動作状態から停止状態への移行時に放電回路を動作させるスイッチ回路を有しており、検出回路は出力電圧の分圧抵抗と第2のトランジスタを直列接続して形成され、放電回路は少なくとも出力コンデンサの両端間に主電流路が接続された第3のトランジスタから形成され、スイッチ回路は第1のトランジスタの動作状態から停止状態への移行時に第2のトランジスタにより検出回路を遮断し、該検出回路の分圧抵抗に流れる電流を用いて第3のトラン

ンジスタをオンすることにより該放電回路を動作させることを特徴とする。

〔0008〕

【発明の実施の形態】本発明のインバータ回路は、スイッチ回路が第1のトランジスタを動作状態から停止状態に設定する時に、同時に出力コンデンサと並列接続する放電回路を動作させて出力コンデンサの電荷を放電する。このことにより、出力電圧を速やかに下げることができる。放電回路は第3のトランジスタをオンすることにより動作するが、第3のトランジスタは検出回路の出力電圧の分圧抵抗を流れる電流を用いてオンされる。つまり、検出回路における出力電圧の分圧抵抗を第3のトランジスタのベース電流を設定する抵抗として兼用する。このことにより、ベース電流を設定する大きな値の新たな抵抗を設ける必要はないので、レギュレータを形成する集積回路の面積を小さくできる。また出力電圧の設定は検出回路の抵抗により行われるから、出力電圧の値が変化してもベース電流は一定であり、放電回路による放電時間が出力電圧の値により変わらない利点もある。

〔0009〕

【実施例】以下、本発明の直列制御型レギュレータの実施例を示す図1の回路図を参照しながら説明する。なお、図5と同一部分は同じ符号を付与してある。図1において、出力電圧 $V_{out}$ を制御するPNP形の第1のトランジスタQ1は入力端子1と出力端子2間に直列接続している。入力端子1には電池等の直流源E1が接続し、入力電圧 $V_{in}$ が供給される。出力端子2には、出力コンデンサC1の一端が接続されており、その他端は接地されている。出力コンデンサC1には、抵抗R3とNPN形の第3のトランジスタQ3からなる放電回路7が並列接続している。抵抗R3の一端は出力端子2に接続し、トランジスタQ3のエミッタが接地されている。

〔0010〕出力電圧 $V_{out}$ の検出回路6は、直列接続された抵抗R1、抵抗R2、NPN形の第2のトランジスタQ2から形成され、抵抗R2と接続する抵抗R1の一端が出力端子2に接続する。トランジスタQ2のコレクタは抵抗R2に接続し、エミッタは接地される。また、抵抗R2とトランジスタQ2のコレクタの接続点は放電回路7のトランジスタQ3のベースに接続する。誤差増幅回路3は反転入力端子が検出回路6の抵抗R1と抵抗R2の接続点に接続し、非反転入力端子には基準電圧 $V_{ref}$ が供給される。そして、誤差増幅回路3の出力によりトランジスタQ1のベース電流が制御される。スイッチ回路4は外部から操作されるスイッチ5を介して入力端子1に接続され、定電流源S1を介して検出回路6のトランジスタQ2のベース、さらに誤差増幅回路3に夫々接続される。

〔0011〕このように構成された直列制御型レギュレータの動作を次に説明する。スイッチ5がオンするとス

イッチ回路4からの信号が誤差増幅回路3および定電流源S1に加えられる。定電流源S1からの電流は検出回路6のトランジスタQ2に供給され、該トランジスタQ2はオンする。トランジスタQ2がオンするので検出回路6が動作し、また誤差増幅回路3が動作することによりトランジスタQ1は動作状態に設定される。動作状態における出力電圧 $V_{out}$ の制御は、図5の従来の場合と同様であり説明を要しないであろう。スイッチ5がオフすることによりスイッチ回路4からの信号がなくなると、トランジスタQ2は定電流源S1からのベース電流がなくなりオフし、検出回路6は遮断される。また、誤差増幅回路3の動作が止まり出力を生じなくなるので、トランジスタQ1は完全にオフし、動作の停止状態に設定される。

〔0012〕動作状態では、検出回路6の抵抗R1、R2、トランジスタQ2には電流が流れているが、トランジスタQ2がオフすると抵抗R1、R2を流れる電流はトランジスタQ3のベース電流となって流れるのでトランジスタQ3がオンし、放電回路7が動作する。このことにより出力コンデンサC1の電荷は、放電回路7に放電電流として流れる。トランジスタQ3のベース電流は、検出回路6の抵抗R1と抵抗R2により設定される。しかも、出力電圧 $V_{out}$ が抵抗R1の値を変えることにより別の値に設定されても、ベース電流は一定である。

〔0013〕これは、抵抗R1と抵抗R2の接続点の電圧が基準電圧 $V_{ref}$ と同じ値であり、常に変化しないことによる。例えば、基準電圧が1.25V、抵抗R1と抵抗R2の値が夫々100kΩの場合には2.5V、抵抗R2が100kΩで抵抗R1が300kΩの場合には5Vの出力電圧 $V_{out}$ が夫々得られるが、ベース電流はいずれも12.5μAである。したがって、放電回路7の放電特性を出力電圧 $V_{out}$ の影響を受けることなく一定にできる。放電回路7の抵抗R3は、トランジスタQ3の電流増幅率のばらつきがそのコレクタ電流に影響しないように設けられており、影響が小さい場合には除いてもよい。

〔0014〕図2は図1のレギュレータの放電特性図であり、横軸に時間 $t$ 、縦軸に出力電圧 $V_{out}$ を示してある。時刻 $t_1$ でトランジスタQ1の動作が停止し、その直前まで所定値にあった出力電圧 $V_{out}$ が時刻 $t_1$ 以後に急速に下がることがわかる。出力電圧 $V_{out}$ は、トランジスタQ3のベース・エミッタ間電圧 $V_{be}$ より下がることはないが、負荷となる回路を動作させないためにはこのレベルまで低下すれば十分であり、特に問題はない。なお、図5の従来回路の特性を比較のために点線で示してある。

〔0015〕図3は、本発明の直列制御型レギュレータの他の実施例を示す回路図である。図1と比較すると、放電回路7が第3のトランジスタQ3、第4のトランジスタQ4、第5のトランジスタQ5の三つのトランジ

タにより形成されている点異なる。NPN形のトランジスタQ4のベースが検出回路6の抵抗R2とトランジスタQ2の接続点に接続し、コレクタはPNP形のトランジスタQ5のベースに接続し、エミッタは接地される。トランジスタQ5のエミッタは入力端子1に接続し、コレクタはトランジスタQ3のベースに接続している。トランジスタQ3のコレクタは抵抗R3を経て出力端子2に接続しエミッタは接地されることにより、出力コンデンサC1に並列接続している。

【0016】この回路においても、トランジスタQ1が停止状態になると、スイッチ回路4により定電流源S1からトランジスタQ2へのベース電流の供給がなくなるので、トランジスタQ2はオフし、検出回路6は遮断される。抵抗R1、R2に流れる電流はトランジスタQ4のベース電流となり、該ベース電流はトランジスタQ4、トランジスタQ5で2段に増幅されてトランジスタQ3のベース電流となる。そして、出力コンデンサC1の電荷はトランジスタQ3により放電される。図3においても、トランジスタQ3のベース電流が抵抗R1、R2に流れる電流により間接的に設定されている。

【0017】図4は直列制御型レギュレータの別の実施例を示す回路図である。検出回路6の第2のトランジスタQ2と放電回路7の第3のトランジスタQ3がいずれもPNP形であることが図1と異なる。定電流源S1によるトランジスタQ2のベース電流がスイッチ回路4により止められると、トランジスタQ2はオフして検出回路6が遮断される。トランジスタQ3はそのベース電流が検出回路6の抵抗R1、R2を流れることによりオンし、出力コンデンサC1を放電する。図5はさらに別の実施例を示す回路図であり負の出力電圧 $V_{out}$ が得られ

【0018】

【発明の効果】以上述べたように本発明の直列制御型レギュレータは、スイッチ回路が第1のトランジスタを動

\* 作状態から停止状態に設定する時に、同時に出力コンデンサと並列接続する放電回路を動作させて出力コンデンサの電荷を放電させる。このことにより、負荷の軽重に関係なく出力電圧を速やかに下げることができる。放電回路は第3のトランジスタをオンすることにより動作するが、第3のトランジスタは出力電圧の検出回路の分圧抵抗を流れる電流を用いてオンする。つまり、検出回路における出力電圧の分圧抵抗を第3のトランジスタのベース電流を設定する抵抗として兼用する。このことにより、ベース電流を設定する大きな値の新たな抵抗を設ける必要はないので、レギュレータを形成する集積回路の面積を小さくできる。また出力電圧の設定は検出回路の抵抗により行われるから、出力電圧の値が変化してもベース電流は一定であり、放電回路による放電時間が出力電圧の値により変わらない利点もある。

【図面の簡単な説明】

【図1】 本発明の直列制御型レギュレータの実施例を示す回路図である。

【図2】 図1の直列制御型レギュレータの放電特性図である。

【図3】 本発明の直列制御型レギュレータの他の実施例の回路図である。

【図4】 本発明の直列制御型レギュレータの別の実施例を示す回路図である。

【図5】 本発明の直列制御型レギュレータのさらに別の実施例を示す回路図である。

【図6】 従来の直列制御型レギュレータを示す回路図である。

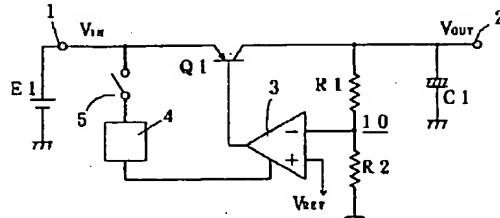
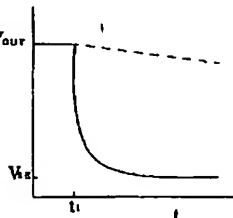
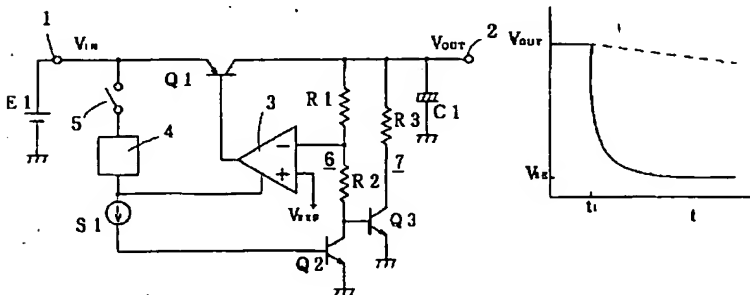
【符号の説明】

1	入力端子
2	出力端子
4	スイッチ回路
6	検出回路
7	放電回路
C1	出力コンデンサ

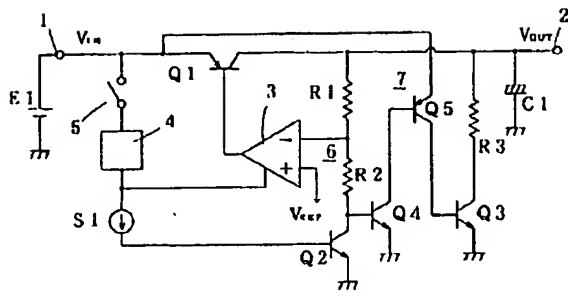
【図1】

【図2】

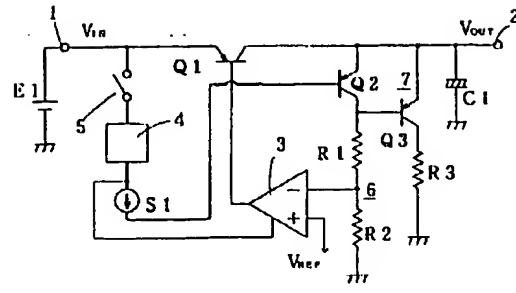
【図6】



【図3】



【図4】



【図5】

